



OrderPatent

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: 59146348 A  
 (43) Date of publication of application: 22.08.1994

(51) Int. Cl. G06F 9/46  
 G06F 3/00, G06F 13/00, H04L 11/00

(21) Application number: 58021871  
 (22) Date of filing: 10.02.1993

(71) Applicant: RICOH CO LTD  
 (72) Inventor: SUKAI TSUNEHISA

## (54) INFORMATION PROCESSING SYSTEM

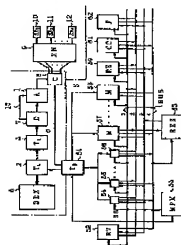
## (57) Abstract:

**PURPOSE:** To make a pattern encoding processing and the conversational communication of a high frequency possible and perform the data transfer operation in parallel with the operation of a working memory or the like, by allowing an instruction executing device to use efficiently the work memory.

**CONSTITUTION:** Information is transferred between blocks in an information processing system by a shared memory 63, and the right by which each block accesses the memory 63 is determined in a form of time division slot given from a multiplexer 63 to each block. The slot for a CPU61 is distributed for its instruction executing function and input/output function, and respective function can access the work memory. The memory 63 is divided to plural partial address areas, and addresses in individual parts are so linked logically that data is read out in order of recording. When a partial address is impressed data is read out or recorded in accordance with the link sequence. Thus, the work

memory is used efficiently to improve the efficiency of the processing.

COPYRIGHT: (C)1994,JPO&Japio



OrderPatent

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭59—146348

⑮ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

⑬ 公開 昭和59年(1984) 8月22日

G 06 F 9/46

A 7218—5B

3/00

Z 7165—5B

13/00

7341—5B

H 04 L 11/00

6866—5K

発明の数 2  
審査請求 未請求

(全 15 頁)

⑭ 情報処理方式

6号株式会社リコー内

⑯ 特 願 昭58—21871

⑰ 出 願 人 株式会社リコー

⑱ 出 願 昭58(1983) 2月10日

東京都大田区中馬込 1丁目3番  
6号

⑲ 発 明 者 須貝恒久

⑳ 代 理 人 弁理士 磯村雅俊

東京都大田区中馬込 1丁目3番

明 細 書

1. 発明の名称 情報処理方式

2. 特許請求の範囲

(1) ワーク・メモリを備えた中央処理装置および複数の装置がバスを介して共通メモリを使用する情報処理システムにおいて、上記共通メモリには記録された順序で読出されるように、各アドレスが連結されて記憶されており、上記中央処理装置は命令カウンタを進歩する直前に上記読出しアドレスから読出しを行い、読出された内容により割込み処理を行い、割込み条件が発生することにより上記記録アドレスに記録し、割込み処理中には上記読出しを停止することを特徴とする情報処理方式。

(2) 前記共通メモリは、アドレス・エリアを複数の部分的アドレス・エリアに分割し、各部分的アドレス・エリアは特定のアドレス値の部分アドレスを有し、上記部分的アドレス・エリア内の各アドレスは記録された順序で読出されるように連結

され、上記部分アドレスが印加されることにより上記連結順序にしたがって読出し、あるいは記録されることを特徴とする特許請求の範囲第1項記載の情報処理方式。

(3) ワーク・メモリを備えた中央処理装置および複数の装置がバスを介して共通メモリを使用する情報処理システムにおいて、上記共通メモリには記録された順序で読出されるように、各アドレスが連結されて記憶されており、上記中央処理装置では上記ワーク・メモリをアクセスする権利を付与する时分割スロットを、命令を実行する手段と上記ワーク・メモリの入出力を行う手段とに交互に配分し、上記共通メモリを遊して他の装置と符号の交換を行うことを特徴とする情報処理方式。

(4) 前記命令実行手段と入出力手段は、それぞれブロック間の接続を、微細加工、およびエッチング法によつて複数の層を構成することにより行うことを特徴とする特許請求の範囲第3項記載の情報処理方式。

3. 発明の詳細な説明

## 技術分野

本発明は、情報処理方式に関し、特にプログラミング言語によりプログラムされた機能を実行し、ワークメモリを効率的に使用することにより、命令の実行と符号の入出力を行う情報処理方式に関するものである。

## 従来技術

従来より、情報処理装置は、意味を符号化した情報を対象としており、冗長性のない論理的な情報を取り扱っている。したがって、各語のプログラムを実行するために必要となるワーキング・メモリの大きさをあまり大きくする必要はなく、ワーキング・メモリは情報を一時的に記憶するバッファとして利用されることが多くなる。これに対して、意味を符号化するだけでなく、パターンを符号化して使用する場合には、一時記憶のために使用されるメモリの容量は、きわめて大きいものが要求されるので、その他の処理を行う余裕がなくなってしまうという傾向にある。

一方、ワーキング・メモリは、命令を実行する

装置とその他の入出力チャネルの間で、時分割的にアクセスされるようになっており、そのために両者に対しアクセス権を時分割スロットの形で配分することによって、命令実行装置と入出力チャネルの動作を分離している。この方法では、ワーキング・メモリと入出力装置の間でデータ転送が可能であるが、しかし命令を実行する装置の監視の下において、入出力装置相互間でデータ転送を行うことはできない。

## 目的

本発明の目的は、上記のような従来の欠点を改善するため、命令実行装置の周辺にある外部記憶装置との入出力を短時間で、命令実行装置がワーク・メモリを効率的に使用できるようにして、パターンを符号化する処理および高頻度の会話性通信を可能にし、かつ命令実行装置およびワーキング・メモリの動作と並列にデータ転送動作を行う情報処理方式を提供することにある。

## 構成

以下、本発明の構成を、実施例により説明する。

第1図は、本発明が適用される伝送系のブロック構成図である。

伝送リンク $\alpha$ を流れる符号形式は、一定長の伝送フレームの繰り返しからなり、各フレームは代数的な法則にしたがって符号語から構成される。伝送系のノードとなる各端局、あるいはシステムは、第1図に示すようにループ状に接続される。1は交換機能を行う交換機(A)、2, 3, 4は端末局装置( $T_1 \sim T_4$ )、5は情報処理または検索システム(S)である。ループ状伝送路 $\alpha$ に接続される各ノードは、伝送路 $\alpha$ を巡回する伝送フレームを共有する。7は発着呼処理機(D)であり、交換機1に直接交換情報13を転送する。伝送フレームの情報シンボル部分は3部からなり、それらのうちの第1部は一般情報、第2部は通話情報、第3部は発着呼情報である。伝送路 $\alpha$ における交換機1および発着呼処理機7以外のノード局に対しては時分割スロットが配分されており、第1部と第2部はそれぞれ交換機1により処理され、第3部は発着呼処理機7により処理される。

ループ網においては、一般に交換機1と発着呼処理機7以外のノード局には、同一の伝送処理機能を持たせる必要がある。なお、第1図の6は伝送フレームと同期処理を行う通信制御装置であり、9は伝送網(XN)、10~12は端末装置( $SR_1 \sim SR_4$ )、8はデジタル・データ伝送網(DDX)である。

第2図は、第1図の端末3における伝送処理部のブロック図である。

第2図において、17は上位局 $T_{1-1}$ からの信号を受信する回線終端器の受信部(4)であり、16はマスタ・クロック源(C)であつて、電圧制御により基本周波数の自動調整が可能である。15は、受信部17で受信されるスクランプリングされたベースバンド信号から公知の信号処理方式により、ビット・クロック30のタイミング情報を検出するサンプル値データ系(TI)である。サンプル値データ系15は、ビット・クロック30により動作し、その出力であるタイミング情報(4)が0になる方向に制御する電圧(4)を、マスタ・クロック

源16の発振周波数制御端子に加える。19は、マスター・クロック源16から出力されるビット・クロック30により動作する検査回路(PR)である。受信部17の出力はデスクランプリング回路18によりデスクランプリングされて次の検査回路19に inputs され、代数的な符号化の法則にしたがった符号語であるか否かを検査し、その結果を保存する。

第2図の検査回路19の出力は、誤りの訂正された符号語であり、これは次段の送受信レジスタ20に inputs する。送受信レジスタ(SR)20は、伝送系と装置間の符号のパツファを行うもので、クロック回路により構成される。送受信レジスタ20の出力は、下位局 $T_{i+1}$ への端子から送信される伝送フレームの情報シンボル部分を形成するもので、この伝送フレームは、符号化回路(PS)21により作成される。

第1図に示したループ網に接続される端末局( $T_1$ )3において、クロック源16から自己のタイム・クロックのタイミングを示されることによ

る。

第3図は、端末局とDDX網との接続図である。

第3図において、32はDDX網回線の終端器(DCE)であり、33はDDX網回線8と構内網端末との間の論理的なインタフェース機能を持つアダプタである。アダプタ33への入出力線である $S_1$ 、 $S_2$ 、 $R_1$ 、 $R_2$ は、それぞれ第2図における送信レジスタ24、26および受信レジスタ27、29と論理的な接続が行われるものである。この場合、 $R_2$ はDDX網が電話を取り扱わないため、電話の目的には使用しないが、構内回線網で第2図の受信レジスタ( $R_2$ )28を他の目的に使用する場合には、第3図のアダプタ33の $R_2$ 端子もそれに対応した目的に使用できる。構内回線網に外部からの回線を接続しない場合には、第1図の端末局( $T_1$ )2は、独自のクロック源により動作し、クロック主局となる。構内回線網をデジタルな通信回線、例えば、DDX網の回線と接続する場合、構内回線網とDDX回線を非同期の形で接続する必要はない。しかし、構内回線網

り、伝送フレームの第1、第2および第3部に対応した $T_1$ 端末局用の情報シンボルを、第2図に示した送受信レジスタ20から受信レジスタ27、28、29に転送すると同時に、送受信レジスタ20のこのタイム・スロットに相当する部分を端末局 $T_1$ の送信情報シンボルにより更新する。端末局 $T_1$ の送信情報シンボルは、クロックによつて送信レジスタ24、25、26から送受信レジスタ20に転送される。送信レジスタ24と受信レジスタ27、送信レジスタ25と受信レジスタ28、送信レジスタ26と受信レジスタ29は、それぞれ伝送フレームの第1、第2および第3部の端末 $T_1$ 用スロットにおいて転送を行う。

第1図のループ網が構内網として用いられる場合には、他の伝送網と接続された他の伝送チャネルが、この構内網に接続される。

この接続様式は、第1図の端末局( $T_1$ )2において示される。端末局2を通してDDX網8と接続される場合には、端末局2における第2図のノード伝送機能からDDX網用のアダプタに接続され

は、DDX回線に同期する必要がある。第3図において、アダプタ33の入出力回線のうちCはDDX回線からタイミング・クロック信号を取り出す端子であり、この信号は第3図の端末局( $T_1$ )2においてクロック源16として使用し、他の端末局 $T_2$ 、 $T_3$ 、 $T_N$ は $T_1$ にタイミングを合わせる。端末局( $T_1$ )2も含めた各ノードの伝送処理機能は第2図に示されているが、あるノードがクロック同期の上でどのような位置にあるかにより、詳細が異なることになる。

構内回線網の各ノードの伝送処理機能におけるクロック同期方法は、3種類である。

その第1は、タイミング接続の上でクロック主局に対し木の枝の形で接続される場合で、第2図において、クロック源(C)16に電圧制御発振器を含み、サンプル値データ系(TI)15の出力線は、遅延調整器(D)14への接続(4)でなく、電圧制御発振器への接続(4)となる。第2は、タイミング接続の上でクロック主局で、外部から回線が接続されない場合で、第2図のクロック源(C)16は独

立となり、アダプタ(DDX)33からの接続(付)と、電圧制御発振器への接続(付)は行われない。ただし、ループ接続の最終ノード( $T_8$ )4からの伝送符号の受信タイミングを自動調整するために、サンプル値データ系(TI)15で行われる受信ベースバンド信号に信号処理を行い、タイミング情報を抽出した出力(付)によつて遅延回路(付)14の遅延量を自動調整する等の方法をとる必要がある。第3は、タイミング接続の上でクロック主局で外部網とデジタル的に接続される場合である。この場合には、第2図の(付)と(付)の接続が行われ、(付)の接続は行われず、主クロック源(付)16は(付)からのクロックによつて動作するクロック発生器となる。(付)は、第3図のDDX(アダプタ)出力端子Cから得られるタイミング・クロックを入力する端子である。本発明では、上記第1、第3の場合が利用される。

本発明では、ループ状をなす伝送網の構成を行うものであるが、このループ回線に接続される端末が2個となり、これら端末間で通信を行う場合

更新する。

第1図における複数の端末の1つ $SR_1$ が、上記のようなポイント・ツー・ポイント形式の回線を複数回線収容する場合もあり得る。この場合、端末 $SR_1$ においては、複数の端末に割当てられたスロットを一挙に送受信レジスタ(SR)20から受信レジスタ( $R_1 \sim R_8$ )27~29に記録し、送信レジスタ( $S_1 \sim S_8$ )24~26の内容で送受信レジスタ(SR)20の各端末対応の部分桁を更新する。さらに、端末 $SR_1$ においては、端末 $SR_1$ に収容される各ポイント・ツー・ポイント回線の上記のような伝送フレーム作成と同期、あるいは訂正処理は時分割多重に行われることとなる。

第4図は、ポイント・ツー・ポイント回線のシステムを示す図である。

第4図において、受信レジスタ( $R_1 \sim R_8$ )27~29および送受信レジスタ(SR)20は、第2図に示したものと同一であるが、これら端末 $SR_1$ におけるレジスタのビット数は、第2図のそ

においては、第1図に示す端末間を接続する回線は変形して、上記2端末間を接続する往復の伝送線路となる。第1図に示すように、ループに2個以上の端末が接続される場合は、ループを流れる伝送フレームは多くのタイムスロットに分割されている。これに対し、ループに端末が2個しかない場合は、伝送フレームのタイムスロットはこの2個の端末によつて占有される。さらに、第1図に示すように、多くの端末がある場合には、伝送フレームの各タイムスロットは各端末と交換局1との間のチャンネルを確保するためのものである。ループ回線上の端末が2個になった場合には、この交換局1は不要になり、伝送フレーム1組のタイムスロットからなり、2個の端末によつて共用される形となる。すなわち、第2図において、送受信レジスタ(シフトレジスタ)20に伝送フレームの各シンボルが伝送順序にしたがって位置付けされるタイミングに、その内容をすべて受信レジスタ27~29に転送し、送信レジスタ24~26によつて送受信レジスタ20の内容を全部

の他の端末の同じレジスタのビット数を収容端末数倍したものとなる。第4図において、36~38は上記端末 $SR_1$ への収容端末で、これらはケーブルを通して時分割多重装置(MPX)34に接続される。これら端末は、それぞれ第2図と同じビット、およびフレーム同期機能を持つ。ただし、各レジスタのビット数は、符号伝送率と同期、および誤り訂正能力との兼ね合いから適正値を選定することができる。この場合、第2図の上位局 $T_{1-1}$ の端子は、第4図の多重装置34からの受信端子となり、下位局 $T_{1+1}$ の端子は第4図の多重装置34への送信端子となる。時分割多重装置(MPX)34は、上記各回線ごとのフレーム同期、および訂正機能を多重処理する。この多重処理は、次のように行う。第4図の多重装置34は、第2図のクロック源(付)16から供給される動作クロック、およびビットクロックによつて動作し、多重装置34に収容される各端末( $SR_1$ )36~38に多重処理用のタイムスロットを順次割当てて。一方、メモリ(FM)35には、各端

末  $S_{R1}$  ごとに送受信のフレーム形式の伝送制御を行うための制御状態表を記録してある。多重装置(MPX)34は、端末( $S_{R1}$ )36~38にタイムスロットを割当てたとき、メモリ35に記録されている端末( $S_{R1}$ )に対応する制御状態表を取出し、その状態と端末( $S_{R1}$ )36~38から回線を通して受信された符号に応じた処理を行って、上記制御状態表の更新と、送信レジスタ( $S_1 \sim S_8$ )、受信レジスタ( $R_1 \sim R_8$ )と多重装置(MPX)の間の必要な転送を行う。制御状態表の内容は、第2図に示すデスクランプリング回路18、検査回路19、送受信レジスタ20、符号化回路21およびスクランプリング回路22等に相当する機能の状態表示からなり、多重装置(MPX)34はこれらの状態を更新、あるいは維持する機能を1組持っている。このとき、多重装置(MPX)において、端末( $S_{R1}$ )36~38から受信される符号のタイミングがずれの場合があると予想されるので、各ポイント・ツー・ポイント回線の多重装置(MPX)受信側にそれ

ぞれ物理的なタイミング調整回路が必要な場合がある。

第1図に示す通信制御装置10は、上記のような伝送フレームの形式と同期処理を多重処理する通信制御の機能を実行する場合は、例えば、電話回線を用いるデータ伝送回線を収容する方法として用いることができる。この場合、第4図の端末( $S_{R1}$ )36~38でデータ・モデムを用い、多重装置(MPX)34に収容される電話局からのトランク回線はデータ・モデムで終端することになり、端末( $S_{R1}$ )36~38は第1図の端末局 $T_1$ 等と同じ扱いとなる。このような接続モードの中に電話機の送受器と音響的に結合して電話回線でデータ伝送を行う場合もあり得る。これに対し、端末( $S_{R1}$ )36~38が通常の電話機あるいは電話機とそれに音響結合して、データ・モデムとデータ通信用デバイスが接続される場合もある。これらの2つの場合は、端末( $S_{R1}$ )36~38は第1図の端末( $T_1$ )2~4の符号伝送機能の部分の役割をもつものではなく、端末( $T_1$ )2~4

の符号伝送機能の部分、すなわち第2図に接続される端末デバイスの役割になる。このとき、多重装置(MPX)34は、端末デバイスとしての( $S_{R1}$ )36~38と第4図の送信レジスタ24~26、および受信レジスタ27~29とのインタフェース制御を行うことになる。

第5図は、ループ網と情報システム(S)との接続図である。

第5図の情報システム(S)5に含まれる通信装置( $T_B$ )51は、各端末( $T_1$ 、 $T_2$ 、C、D)等と同じように、第2図の送信レジスタ( $S_1 \sim S_8$ )および受信レジスタ( $R_1 \sim R_8$ )とそれに関連する部分と同一原理からなるものである。しかし、それぞれビット数は情報システム(S)5の入出力チャネル数倍、すなわち第5図のバス(BUS)とブロック( $T_B$ )51の間のチャネル数を1チャネル分のビット数に換じた値になっており、各入出力チャネルに対応する桁からなっている。これらの対応ごとに、多線に変換デバイス457、58、あるいは直接通信装置( $T_B$ )51の端子に接続さ

れる。これら入出力チャネルは、論理的には交換局(A)1に終端することとなり、交換局(A)1において各端末から論理的に終端するチャネルとの間で交換の制御処理が行われる。通信装置( $T_B$ )51において取扱われる入出力チャネル数は、トラフィックに応じた係数で通常端末数より小さくなる。変換デバイス457、58は、画像信号の速度変換を行うものである場合もあり、また、第4図の端末( $S_{R1}$ )36~38が2つのノードからなるループ状伝送様式をとらない端末デバイスで、これらが電話機の送受器と音響的に電話回線に結合してモデムでデータ通信を行う場合には、第5図の通信装置( $T_B$ )51とバス(BUS)の間のチャネルに音響結合によるモデムをもつ変換デバイスの場合もある。

本発明は、伝送フレームを組むことによつて、構内の諸機能を総合化するものであるが、伝送フレームの情報フィールドの使い方によつて、各種の形態の通信システムとすることができる。例えば、構内交換を行わない場合においては、第1図、

あるいは第5図に示した端末装置は、通信制御装置(C)6から直接、第5図の中央処理装置(C)61、音声応答ファイル(RE)59、ファイル(F)62、共通メモリ(RE S)63および多重装置(M P X)53等からなる情報処理システムの送受信レジスタ(S R)54~56あるいは変換デバイス457、58の入出力に接続することによって、情報処理システムの共同利用を行うことが可能となる。この接続を、第4図について示すと、受信レジスタ( $R_1 \sim R_8$ )27~29、送信レジスタ( $S_1 \sim S_8$ )24~26等と第5図の送受信レジスタ(S R)54~56もしくは変換デバイス457、58の入出力側に接続され、第4図に示す送受信レジスタ(S R)20はなくなり、その代りに前記の第5図の情報処理システムの入出力端子が位置付けられることになる。

情報処理システムSの利用法については、各種の場合があるが、中央処理装置(C C)61の実行するプログラムの内容を除くと基本的に異なるところはない。情報処理システムSには、複数の

装置(C C)61以外のブロックとの転送は、中央処理装置61の入出力機能により行い、プログラムの命令を実行するのは、中央処理装置61の命令実行機能により行われる。ワーク・メモリは上記入出力機能と命令実行機能により共用されるそして、第5図に示す各ブロック間の情報の転送は、共通メモリ(RE S)63によって行われ、第5図の各ブロックが共通メモリ(RE S)63をアクセスする権利は多重装置(M P X)53から各ブロックに与えられる時分割スロットの形で行われる。中央処理装置(C C)61についてのスロットは、その命令実行機能と入出力機能とに分けて配分され、それぞれのスロットで、それぞれの機能がワーク・メモリへアクセスすることができるようにする。共通メモリ(RE S)63のアドレス・エリアは、複数の部分的アドレス・エリアに分割し、各部分アドレス・エリアは特定のアドレス値の部分アドレスを持ち、該部分アドレス・エリア内の各アドレスは記録された順序で読出されるように論理的に連結されており、上記部

端末( $T_1$ ,  $T_2$ ,  $T_N$ ,  $S R_1 \sim S R_N$ )が論理的に独立なチャネルを通して接続され、システムSにおける中央処理装置(C C)61は各端末からの要問あるいはメッセージと、それらに対する応答のための処理を多重に行い、かつ第5図に示す各ブロックおよび関連するソフトウェアを有効に利用する必要がある。これは、第5図に示すブロックの配置と割込み処理プログラムの機能を適正化することによって行う。すなわち、第5図の中央処理装置(C C)61以外の各ブロック、あるいは回線は中央処理装置(C C)61が実行するプログラムの機能によって発行された指令にもとづいて動作をするものであるが、これらの動作は中央処理装置(C C)61が関与することなく並列に実行され、これが終了した場合だけ制込信号によって中央処理装置(C C)61に連絡される。

中央処理装置(C C)61は、ワークメモリをもつていて、上述の各ブロック、あるいは回線の動作結果をこのメモリエリアを用いて処理する。このワーク・メモリのエリアと、第5図の中央処理

分アドレスが印加されることにより、上記連結順序にしたがって読出し、または記録が行われる。中央処理装置(C C)61についての部分アドレスは2つに分割され、一方は中央処理装置(C C)61の命令実行機能、他方は中央処理装置(C C)61の入出力機能に割当てられる。

第5図において、バス(B U S)は複数個の装置(M, RE, C C,  $T_N$ およびF)により時分割的に交互に占有される。すなわち、この時分割スロットは、バス(B U S)の中のライン1により行う。ライン1は、数ビットのアドレス線で、各ビットの論理値組合せを変換することにより、スロット配分を行う。バス(B U S)のライン2は、共通メモリ(RE S)63への入力で、上記各ブロックからの出力線の論理和で構成され、ライン3は共通メモリ63から上記各ブロックへの並列出力線になっている。バス(B U S)のライン4は、共通メモリ63のアドレス線で上記各ブロックからの出力線の論理和で構成される。バス(B U S)のライン2, 3, 4は、それぞれライン1

によりアドレスされたブロックについてのみゲートすることにより、それぞれのブロックは次の方法でブロック相互間でキャラクタの交換を行う。任意のブロックに割当てられたスロットにおいて、その前半で符号の転送先ユニットの部分アドレスを指示して記録し、スロットの後半において、上記自己ブロックに対応する部分アドレスを指示して読取る。上述のように、部分アドレスを指示すれば、そのアドレス・エリアから記録された順序で読取りが行われる。中央処理装置(CC)61の命令実行機能は、中央処理装置61の入出力機能も含めて2つのブロック間で符号転送を行う場合には、これらブロックに符号転送を指定するコントロール・ワードを共通メモリ63の各ブロックの部分アドレスに記録する。そして、上記の2つのブロックに割当てられたスロットで自己の部分アドレスからコントロール・ワードを読取ることによつて、以後の動作を定める。この動作が完了した場合には、中央処理装置(CC)61の命令実行機能に対応した部分アドレスをアドレスし

て割込信号を記録する。割込信号は、中央処理装置61の命令実行機能により割込要求命令が実行された場合にも、中央処理装置61の命令実行機能により自己の部分アドレスに記録される。中央処理装置61の命令実行機能では、命令カウンタを歩進させ、命令カウンタが指定するワーク・メモリの命令を実行するもので、命令の実行を終つて命令カウンタを歩進する直前に自己の部分アドレスを指定して読取を行い、割込信号が検出された場合は、命令カウンタをワーク・メモリの割込処理プログラムが記録されているアドレスに飛躍させ、割込信号の内容に応じた処理を行う。そして、割込処理プログラム実行中は、自己の部分アドレスからの読取は停止する。しかし、この部分アドレスへの記録は、続行される。中央処理装置61の命令実行機能に対応した部分的アドレス・エリアは、十分なアドレス数を確保することにより、割込信号が無視されることがなくなるので、割込処理プログラムを十分な大きさにして、融通性のある多重処理を行うことができる。また、端

末装置から機能キャラクタが受信される度ごとに、中央処理装置61の入出力機能に対応する部分アドレスに上記キャラクタを記録すると同時に、割込信号を中央処理装置61の命令実行機能に対応する部分アドレスに記録することによつて、キャラクタ単位の伝送制御を行う。これによつて、割込み頻度が多くなつても、これらの割込みが無視されることはなくなる。また、これにより会話通信の頻度の激しいプログラミング等を遠隔端末により実行する場合には、有利である。ただ、同様に発行される指令は、割込みとともに完了する形のものではなく、中央処理装置61の命令実行機能から新たに発行される指令によつて完了する形をとることにより、キャラクタを失わないようにする必要がある。

情報処理システムにおける多重処理は、割込処理プログラムの機能によつて行われ、多くの項目からなるタスク・テーブルを管理している。タスクは、時分割多重回線におけるチャネルに相当するものであるが、チャネルの場合のように周期的

にスロットを付与する形で多重処理されることはない。上記割込処理機能は、割込信号を脱取すると、どの項目に関する割込信号であるかによりこのタスク・テーブルを更新し、入出力指示を実行していないタスク・テーブルの項目を探す。このタスク・テーブルには、中断されたプログラムの命令カウンタの内容が記録されており、項目の優先順位にしたがつて割込処理プログラムの命令カウンタを上記中断されたプログラムの命令カウンタに変更して、制御をそのプログラムに渡してしまう。このように、割込処理プログラムの役割は、入出力中の時間を他のタスクに有効利用するものであるが、上記のように、その他のプログラムに制御が渡つてしまうと、割込信号が検出されない限り管理の方法がなくなる。この割込みは、上記のタスク項目の優先順位に関係がないため、制御を待っているタスクが無視される可能性もある。この事態を防止するために、一定時間ごとに割込信号を発生するブロック(RT)52を設ける必要がある。



第6図は、第5図における中央処理装置の内部構成図である。

65は、中央処理装置61の命令実行機能(PU)、66は入出力機能(IO)、67はアドレス・レジスタ(A・D)、68はワーク・メモリ(WM)である。

バス(BUS)1~4は第5図のバス(BUS)に相当するもので、命令実行機能(PU)65と入出力機能(IO)66はそれぞれ独立した入口を占有している。尚機能65、66は、ワーク・メモリ(WM)68を共用しており、共用は次のようにして行う。

アドレス・レジスタ67は、デバイス・アドレス・バスの信号をデコードして、ワーク・メモリ68を命令実行機能65に制当てる時間と、入出力機能66に制当てる時間とを検出するもので、Aは命令実行機能65、入出力機能66のアドレス信号がA・D出力によつてゲートされたアドレス信号を表す。R、Wは、それぞれAに示されたワーク・メモリ68のアドレス・エリアから読出さ

れ、あるいはアドレス・エリアに書き込みを行う端子である。

第7図は、第5図における共通メモリ(RESE)の内部構成図とアドレス・タイミング・チャートである。

71は内部メモリ(MM)、Aは内部メモリ71のアドレス・バス、70はマスク回路(MAS)、72、73はアドレス・レジスタ、74は比較回路Cである。

端子PAに、部分アドレスの値が加えられると、第7図(b)に示す $\phi_1$ 、 $\phi_2$ 、 $\phi_3$ の3相クロックの中の $\phi_1$ によつてゲートされて、内部メモリ71をアクセスする。アクセスされたアドレスにより、部分アドレス・エリアに入っている記録順に読出されるアドレス部分の記録アドレスと読出しアドレスがアドレス・レジスタ(R1)73に読出される。

次に、 $\phi_2$ の相のクロックでは内部メモリ71の入出力端子OあるいはIによつて入出力を行う。入力を行うか、出力を行うか、あるいは両方とも

行わないかは、端子AC1、およびAC2に加えられる論理値によつて定まる。AC1がオンのときは、アドレス・レジスタ73から $\phi_2$ にゲートされてアドレス・バスAに記録アドレスが加えられる、AC2がオンのときには、アドレス・レジスタ73のもう一方の桁からアドレス・バスAに読出アドレスが加えられる。そして、各々の場合に依つて、端子Iから $\phi_2$ によつてゲートされて内部メモリ71に信号が入力するか、あるいは内部メモリ71から端子Oに出力が得られる。一方、アドレス・レジスタ73の記録および読出しアドレスは、AC1あるいはAC2のオン・オフに依つて $\phi_3$ の相において1を加算してアドレス・レジスタ72に記録する。この加算は、所定の数を法として行うものであり、第7図の端子PAに加えられる部分アドレスにより法を変える必要がある。これは、第7図の④の記号で表される加算器で処理ビット数を変えることにより行うもので、この変更はマスク回路70からの処理ビットのマスク信号によつて行われる。マスク回路70は、

部分アドレスをマスク信号に変える処理を行う。第3相の $\phi_3$ では、更新された記録および読出しアドレスをPAの指定するアドレスに記録する。記録アドレスを読出しアドレスが越える状況では、読出すべきものがないことを意味しており、アドレス・レジスタ73の記録アドレス部と読出しアドレス部とを比較回路Cによつて比較する。レジスタ73の上記2つの部分が等しい場合には、 $\phi_3$ の相において、出力線AC3により応答し、レジスタ73の読出しアドレス部に1を加えてレジスタ72に記録する動作を禁止する。記録アドレス値および読出しアドレス値への加算を、すべて上記のように所定の数を法とすることにより行うのは、部分的アドレス・エリアにおけるアドレス値が巡回していることを意味する。

一方、音声電話回線を介して符号伝送を行う程度の通信速度を有する画像端末等では、1ページ単位のファクシミリ情報あるいは音声応答を行う場合、情報処理システムは相当のワーク・メモリの容量を長時間にわたり占有することになるので、

その他の処理に対する余裕がなくなる。このような事態を避けるためには、ファイルの入出力を高速度で行うことにより処理を完了し、端末デバイスとの間の転送は、上記の処理結果を記録した速度変換メモリから低速度で上記処理とは独立して行う。第5図に示す57～58が速度変換メモリ44である。

第5図の速度変換メモリ57～58の内容は、低速チャネルを通して、入出力装置(I/O)およびループ網αを通して端末T<sub>1</sub>～T<sub>1</sub>等の入出力機能(I/O)との間で低速で伝送されるが、高速バス(BUS)側から速度変換メモリ57～58への入出力は一瞬のうちに終了する。

速度変換メモリ57～58は、例えば遅延線等からなり、その遅延線を信号が一巡するときのメモリ容量は、例えばファクシミリ信号1ページ分の情報を取容するだけの大きさである。高速バス(BUS)からこの速度変換メモリ57～58へ書き込みを行う場合、信号が遅延線を一巡する間に完了し、また読取りを行う場合、信号が一巡する

ごとに1回ずつサンプリングを行い、読取る。この場合、各回にサンプリングするタイミングを信号が一巡するに要する時間の整数分の1ずつ前回のサンプリング・タイミングから遅延させることによつて、入出力装置(I/O)との間のサンプリング・タイミングから遅延させ、これにより入出力装置(I/O)との間で転送するために都合のよい速度で読出しを行う。

逆に、入出力装置(I/O)からこの速度変換メモリ57～58に書き込みを行う場合、遅延線の信号が一巡することに行い、各回に書き込むタイミングは信号が一巡するに要する時間の整数分の1ずつ前回の書き込みタイミングから遅延させる。また、読出しを行う場合は、遅延線を信号が一巡する間に行う。さらに、この動作を詳細に述べることにする。

第5図に示す情報ファイル(F)62および音声応答ファイル(RE)59と、速度変換メモリ57～58の間で高速に情報転送を行う場合には、第5図の高速バス(BUS)を通してこれに接続さ

れる他のデバイスと独立して論理的に行われる。この転送は、第5図の多重装置53によつて割当てられた各ユニットに対するアドレス・クロックによりバイトごとに行われる。速度変換メモリ57、58の情報信号の扱い方は、ビットごとに直列に行つており、これに対して共通メモリ(RE5)63ではバイトごとの扱いであるため、速度変換メモリ57、58の入出力においてはバイトとビットの直並列変換を行う必要がある。

データ通信の場合においても、速度変換メモリ57、58を利用する形で適用でき、この場合にはメモリ57、58は一時記憶のために利用される。しかし、取扱う情報ビット数は、画像信号の場合より相当少なくなるため、第5図では、共通バス(BUS)と通信装置(T<sub>g</sub>)51とを直接接続して行うのが適当である。

ところで、画像信号を計算機とその周辺装置により取扱うためには、多くのメモリ容量が必要であつて、これを計算機のワーク・メモリに長時間にわたって記録すること是不適当である。そのため、

画像信号は、外部メモリに記録される。外部メモリから画像信号を低速回路で伝送したり、あるいは低速回路を用いて画像信号を外部メモリに伝送するためには、速度変換が必要となるので、第5図の速度変換メモリ57、58を用いる。この速度変換メモリ57、58は、例えば、遅延線メモリ等により構成される。

第8図は、遅延線メモリの制御部の回路図である。

遅延線メモリの入出力のタイミングを制御する部分は共通化されており、第8図の回路は第5図の通信装置(T<sub>g</sub>)51内に含まれる。

第8図において、75は遅延線メモリのアドレス・カウンタ(C<sub>1</sub>)である。このカウンタ75をステップさせるクロックφ<sub>h</sub>は、電圧制御発振器(VCO<sub>1</sub>)82から得られる。クロックφ<sub>h</sub>は、カウンタ75を駆動するとともに、遅延線メモリの動作クロックで遅延線メモリを巡遊する信号を循環する点で、このクロックでサンプリングすることによつて出力し、一時レジスタに保持した後、

それを再び遅延線に入力することにより、遅延線の信号を $\phi_0$ に同期させる。したがって、遅延線を一巡する信号のビット数は特定値となり、これをカウンタ( $C_1$ )75の最大カウント数と等しくする。カウンタ( $C_2$ )76は、カウンタ( $C_1$ )75と同じ最大カウント数の計数器であつて、カウンタ75の出力に接続される。カウンタ75と76の出力を比較器( $COM_1$ )に入力することにより、クロック $\phi_0$ が得られる。また、カウンタ75と76の出力を比較器( $COM_2$ )に入力することにより、クロック $\phi_b$ が得られる。クロック $\phi_b$ の波形は、カウンタ75の各状態の位相に一致するパルスからなり、このパルスがカウンタ75の最初の状態に一致するものから最後の状態に一致するものまで、遅延線を信号が一巡するごとに位相が転移して出現することになる。出現時間隔の正確な値は、遅延線を信号が一巡する時間にクロック $\phi_0$ の間隔を加えたものに等しくなる。遅延線メモリから読出しを行う場合には、信号が遅延線を一巡するごとに1回ずつサンプリングを行うが、

各回ごとに1ビットの時間遅らせることにより遅延線メモリ内のすべてのビットを順次読出すことになる。逆に、低速信号を書込む場合には、以前までに書込んだビット系列が高速で一巡した後に、以前の最終書込みアドレスの次のアドレスが到来したときに書込むこととなる。この書込み内容を読出す場合は、クロック $\phi_0$ により書込んだ順序に連続して読出すことになる。

遅延線の動作クロックは、カウンタ75を駆動するが、これらの動作は、第5図の共通メモリ

(RES)63から転送されるクロックと同期させる必要がある。このクロックは、 $\phi_0$ により表される。このクロック間隔は、カウンタ75のクロック間隔を共通メモリ(RES)63で扱うバイトのビット数倍となる。バイトは、8ビットで構成されるので、クロック $\phi_0$ をカウンタ( $C_0$ )80で8回計数し、その出力矩形波のオン時間に $\phi_0$ が入力したとき、フリップ・フロップ(F $F_1$ )81をセットし、オフ時間になるときフリップ・フロップ81をリセットすることにより、クロック

$\phi_0$ を発生する電圧制御発振器(VCO $_1$ )82の制御電圧を作る。このとき、カウンタ( $C_0$ )80の出力がオンとなる時間に入力するクロック $\phi_0$ と、オフ時間となる時間に入力するクロック $\phi_0$ の頻度が等しくなるように、VCO $_1$ 82は制御される。もう1つのVCO $_1$ 83は、第5図の多重装置(MPX)53に供給するクロックを作るものである。第5図におけるファイル(F)62、音声応答ファイル(RE)59等を含めて、その他の装置の動作クロックは、多重装置53から、あるいはVCO $_1$ 83から供給される。VCO $_1$ 83は、端末と中央情報システムとの通信を可能とするために、通信系と同期する必要がある。通信系からのクロックは、第5図の通信装置(T $B$ )51から得られる。これがビット・クロックであるとすれば、これに対応する情報システム側のビットクロックは $\phi_0$ であり、通信装置(T $B$ )51よりのビット・クロック矩形波のオンとオフ時間に入力するクロック・パルス $\phi_b$ の頻度が等しくなるようにVCO $_1$ 83を制御する。

第9図は、第5図の速度変換メモリの内部構成図である。

先ず、情報ファイル62あるいは音声応答ファイル59から高速で読出しを行い、低速で通信装置(T $B$ )51に転送する場合について説明する。

共通メモリ(RES)63から読出される信号は、このデバイスに割当てられたスロットにより作られたクロック $\phi_2$ によつて、レジスタ(S $H_2$ )87に記録される。クロック $\phi_2$ は、レジスタ(S $H_2$ )87の出力を復号器(C $O_2$ )89に入力して、1ページ分の情報の始めと終りを示すチャラクタを検出する。レジスタ(S $H_2$ )87は、遅延線(DL)85の書込みクロック $\phi_0$ によつてシフトされ、遅延線(DL)85に入力される。一方、レジスタ(S $H_4$ )88の内容は、ビット・クロック $\phi_b$ の8倍のクロック間隔のクロック $\phi_0$ によつて通信装置(T $B$ )51に入力され、同時に復号器(C $O_4$ )90により情報ブロックの始めと終り符号を検出する。レジスタ(S $H_4$ )88への入力、遅延線(DL)85の出力である。遅延

線(DL)85の出力は、レジスタ(T)86に $\phi_0$ の1クロック間隔だけ保持され、再び遅延線(DL)85に入力される。レジスタ(T)86の出力は、クロック $\phi_b$ によりサンプリングされる。クロック $\phi_b$ は、前述のように、書き込みクロック $\phi_0$ により書込まれた遅延線(DL)85内の信号の中で現在レジスタ(T)86にあるビットのアドレスが、DL85内を一巡するごとに、そのアドレスより1だけ増加したアドレスを指示するクロックである。書込みと読出しの制御は、第10図(b)に示す状態図により表される。第10図(b)のA<sub>0</sub>, B<sub>0</sub>, A<sub>1</sub>, B<sub>1</sub>の各事象は、レジスタ(CO<sub>8</sub>)89、レジスタ(CO<sub>4</sub>)90の各出力に、始めと終り符号が検出されたことを示すものである。また、“00”, “01”, “10”, “11”なる状態は、第9図のフリップ・フロップ91, 92からなる状態レジスタによって作られるもので、“01”の書込状態では、DL85の出力がDL85に帰還されるのを禁止する。また、“11”の読出状態では、通信チャンネルに向けて出力するために、レジスタ(SH<sub>4</sub>)88

の出力を通信装置(T<sub>B</sub>)51側にゲートする。第10図に示す(M-1)101の部分が第9図の回路であり、第9図に示す(M-2)102の部分が第10図(a)の回路である。第10図の右上の部分は、通信チャンネルからの情報を遅延線(DL)85を介した情報ファイル62、あるいは音声応答ファイル59への転送を制御するものである。共通メモリ(RE<sub>S</sub>)に記録される信号は、レジスタ(SH<sub>1</sub>)93に多重装置(MPX)53から割当てられたスロットで作成されるクロック $\phi_1$ によつて得られる。クロック $\phi_1$ は、レジスタ(SH<sub>1</sub>)93の出力を復号器(CO<sub>1</sub>)95に入力する際の入力開始と入力終了を示すキャリタタを検出する。レジスタ(SH<sub>1</sub>)93は、遅延線(DL)100の書き込みクロック $\phi_0$ によりシフトされ、レジスタ(T)99の信号をレジスタ(SH<sub>1</sub>)93に入力する。一方、レジスタ(SH<sub>9</sub>)94の内容は、ビット・クロックの8倍のクロック間隔のクロック $\phi_8$ を通信装置(T<sub>B</sub>)51から供給し、T<sub>B</sub>51からの出力により更新され、同時に復

号器(CO<sub>8</sub>)96によりレジスタ(SH<sub>8</sub>)94に始めと終りの符号が記録されたか否かを検出する。レジスタ(SH<sub>8</sub>)94からの出力は、遅延線(DL)100への入力であり、クロック $\phi_b$ によりシフトされることによつて行う。書込みと読出しの制御は、第10図(b)の状態図により示される。この状態図による制御を行うのが、フリップ・フロップ(F<sub>F<sub>1</sub></sub>)97と(F<sub>F<sub>8</sub></sub>)98およびその入出力マトリクス回路である。遅延線100への書込みの場合は、DL信号が一巡するごとに1アドレスだけずれたタイミングに記録するが、このときDL出力からその入力に帰還される符号を禁止する必要があり、“01”出力によりクロック $\phi_b$ をゲートすることにより行う。また、共通メモリ(RE<sub>S</sub>)63に転送する場合、始めと終りの符号間に1回で十分であるため、“11”出力によつてレジスタ(SH<sub>1</sub>)93の出力側をゲートする。

以上の各種動作において、第5図の共通メモリ63に共通に接続されたバス(BUS)を通して結合されるファイル59, 62の外部記憶装置は、

多重装置(MPX)53によりアドレスされるタイミングに同期して動作する。なお、第5図において、共通メモリ(RE<sub>S</sub>)63と通信装置(T<sub>B</sub>)51の端子が直連に接続されることにより、速度変換メモリM57, 58を利用する必要のない通常のデータ通信が行われる。

ループ網αと情報処理システムの接続は、通信装置(T<sub>B</sub>)51により行われるが、一般の端末(T<sub>1</sub>)3等と異なり、第2図に示す受信レジスタ(R<sub>1</sub>)27, (R<sub>2</sub>)28の出力は、情報処理システム(S)5の変換メモリM57, 58を備えたチャネルの入力側、つまり通信装置(T<sub>B</sub>)51に接続された端子から行われる。送信レジスタ(S<sub>2</sub>)25と受信レジスタ(R<sub>2</sub>)28のチャネルは、音声通信用のものであり、これが情報処理システム(S)5に接続される場合は、その信号は音声応答、あるいは中央処理装置(CC)61で音声認識を行う場合となる。したがつて、レジスタ(S<sub>2</sub>)(R<sub>2</sub>)25, 28は、変換メモリM57, 58を有するチャネルのうちの一部分が、この音声チャネル用と

となる。

次に、通信装置 ( $T_B$ ) 51 におけるレジスタ ( $S_g$ ) ( $R_g$ ) 26, 29 のチャネルは制御用であつて、これらの信号は、通信装置 ( $T_B$ ) 51 とバス ( $BUS$ ) との間の接続を通して中央処理装置 ( $CC$ ) 61 との間の符号交換を行うことになる。この符号交換によつて、中央処理装置 ( $CC$ ) 61 におけるソフトウェア・システムに対して、端末状態の通知、あるいは中央処理装置 ( $CC$ ) 61 のソフトウェアから呼処理機 (7) に対する発呼信号、あるいは端末への要求等を行うことができる。

なお、以上説明した情報処理システム (5) を構成する場合、各部機能を論理集積回路によつて実現できる部分がある。これらの機能は、集積回路技術の進歩により相当大規模になつても、コストが増加しないような状況が出現する。また、第5図から第10図までに示したように、機能を任意にプログラミングした場合には、ブロック間の配線に多くの交叉配線が生ずる。この場合、従来の集積回路の構成において、交叉配線をモノリシッ

クな方法で行つても不可能なときがある。このような場合には、立体的な加工法による集積回路の実現法を用いることにより、集積回路の機能をより大きくできる。

このように、本発明においては、中央処理装置の命令実行機能がワーク・メモリを占有する時間を大きくすることができ、また記録された順序で読出すことができる部分エリアを備えた共通メモリを用いることにより、命令実行機能およびワーク・メモリの動作と並行して駆送動作を行うことが可能である。

#### 効 果

以上説明したように、本発明によれば、命令実行機能が外部記憶装置との間の入出力動作を短時間で行うことができ、かつ命令実行機能がワーク・メモリを効率的に使用できるとともに、パターンを符号化する処理と頻度の高い会話通信を可能にする。

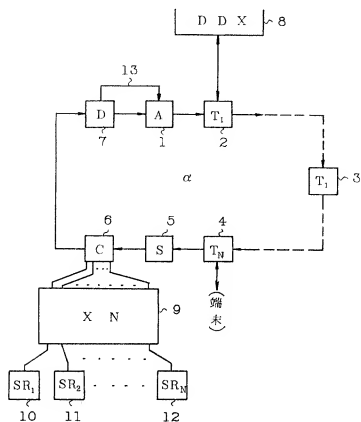
#### 4. 図面の簡単な説明

第1図は本発明の実施例を示す伝送系のプロッ

ク図、第2図は第1図の端末における伝送処理部のブロック図、第3図は端末とDDX網との接続図、第4図はポイント・ツー・ポイント回線のシステムを示す図、第5図は第1図のループ網と情報システムとの接続図、第6図は第5図の中央処理装置の内部構成図、第7図は第5図の共通メモリの内部構成図とアドレス・タイミングチャート、第8図は第5図の遅延線メモリの制御部の構成図、第9図は第5図の速度変換メモリの内部構成図、第10図は第9図の同路と接続される部分および状態図である。

1 : 交換機、2, 3, 4 : 端末局、5 : 情報システム、7 : 発着呼処理機、8 : DDX 網、9 : 伝送網、10 ~ 12 : 端末装置、59 : 音声応答ファイル、61 : 中央処理装置、62 : ファイル、63 : 共通メモリ、51 : 通信装置、53 : 多重装置、57 ~ 58 : 速度変換メモリ。

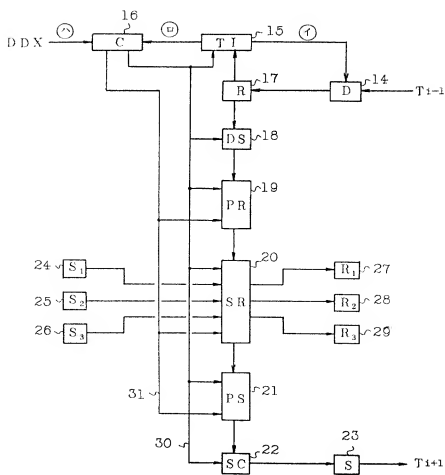
第 1 図



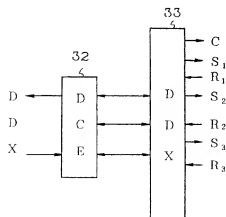
特許出願人 株式会社 リ コ ー  
代 理 人 弁 理 士 磯 村 雅



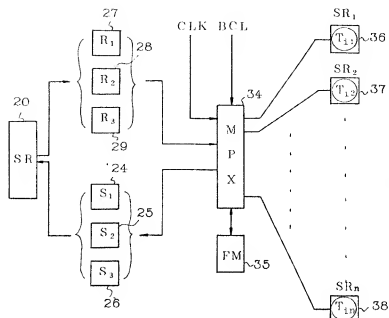
第 2 図



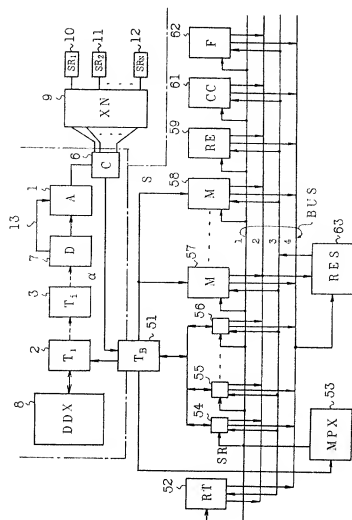
第 3 図



第 4 図

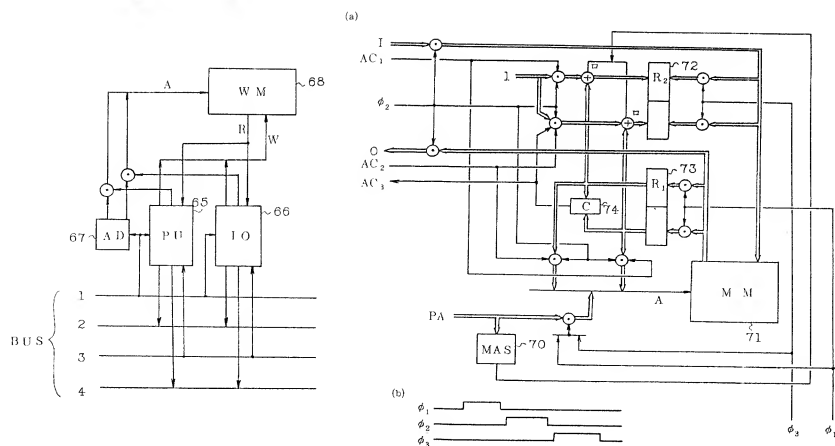


第 5 図

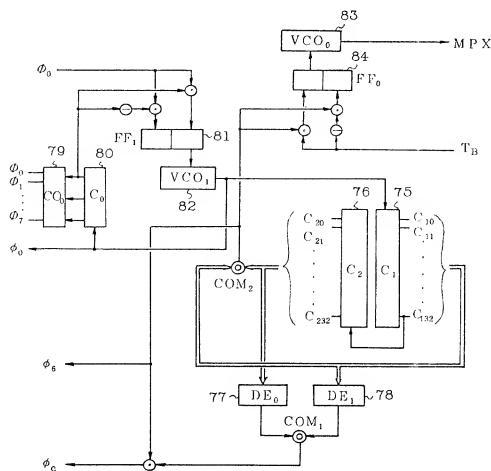


第 7 図

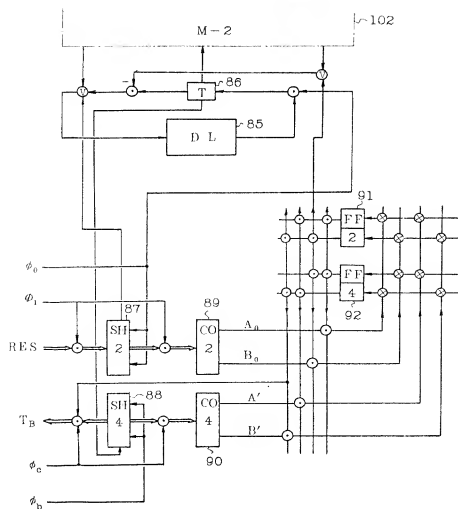
第 6 図



第 8 図



第 9 図



第 10 図

